

⑫ 公表特許公報(A)

昭60-500115

⑭ 公表 昭和60年(1985)1月24日

⑯ Int. Cl.⁴
H 03 K 5/04

識別記号

庁内整理番号
7232-5J

審査請求 未請求
予備審査請求 未請求

部門(区分) 7(3)

(全 6 頁)

⑮ 発明の名称 クロックパルス整形回路

⑰ 特 願 昭59-500267

⑱ 出 願 昭58(1983)12月5日

⑲ 翻訳文提出日 昭59(1984)8月22日

⑳ 国際出 願 PCT/US83/01897

㉑ 国際公開番号 WO84/02621

㉒ 国際公開日 昭59(1984)7月5日

優先権主張 ㉓ 1982年12月22日㉔ 米国(US)㉕ 452157

㉖ 発 明 者 クランベック, ロバート ハロ アメリカ合衆国 07060 ニュージャージー, ウォーレン, スプリ
ルド ング レン 8

㉗ 発 明 者 ショージ, マサカズ アメリカ合衆国 07060 ニュージャージー, ウォーレン, ハイマ
ウント アヴェニュー 4

㉘ 出 願 人 ウェスターン エレクトリック アメリカ合衆国 10038 ニューヨーク, ニューヨーク, ブロード
カムパニー, インコーポレー ウェー 222
テッド

㉙ 代 理 人 弁理士 岡部 正夫 外3名

㉚ 指 定 国 BE(広域特許), DE(広域特許), FR(広域特許), JP, NL(広域特許)

14

請求の範囲

1. 入力(11)と出力(12)とを持ち、第2の時間間隔で発生する遅移を持ち該入力に印加されるクロックイン信号に反応して発生し、かつ第1の時間間隔で発生する遅移を持つとともに平均電圧を持つクロックアウト信号を該出力に発生するためのクロックパルス整形回路において、該入力及び該出力の間に接続され、該平均電圧を変化させる方法で遅延を変化させるための制御信号を受信するための制御入力(トランジスタのゲート電極)を持つ可変遅延手段(15-18)と、該平均電圧の変化に反応して該制御信号を該可変遅延手段に印加するための制御手段(22)とを特徴とする回路。
2. 請求の範囲第1項に従った回路において、該制御手段が該制御信号を発生するために該平均電圧を基準電圧 $1/2 V_{DD}$ と比較するためのオペアンプ(22)を含んでいることを特徴とする回路。
3. 請求の範囲第2項に従った回路において、該遅延手段が該クロックアウト信号の前縁及び後縁のタイミングを独立に調整するための手段(170, 171)を含んでいることを特徴とする回路。
4. 請求の範囲第2項の回路において、該オペアンプが高利得であることを特徴とする回路。
5. 請求の範囲第1項に従った回路において、該制御手段が第1及び第2の制御入力(+,-)を持ち該

15

第1及び第2の入力にそれぞれ印加される第1及び第2の平均電圧の差によつて決定される値を持つ該制御信号を発生すること、該第1の制御入力に印加される第1の平均基準電圧を発生するための手段($V_{DD}/2$)が含まれることと、該クロックアウト出力と該第2の制御入力との間に接続されて第2の平均電圧を発生するための手段(23, 24)が含まれることと、該回路が該第1及び第2の平均電圧の差の関数として該クロックイン入力に印加される該クロックパルスの遅延を調整するよう動作することを特徴とする回路。

発明の分野

本発明はクロックパルス整形回路に關し、特に半導体集積回路内の機能素子の同期をとるためのクロック回路に關する。

発明の背景

マイクロプロセッサは、論理部及び制御部とともにデータ経路部を含んでいる。これらの部分の各々は機能素子を含み、これらには同期動作を達成するためにクロックが印加される。

マイクロプロセッサの設計における最も困難な問題の1つは、機能素子の同期のためにスキューのないクロック信号を発生することである。ここで用語「スキュー」とは、クロック信号の遷移のタイミングに生じる不規則な変動のことを指し、これは主としてクロック源自体の構成のために生じる。たとえば、クロック源がバッファを含んでいると、1ナノ秒(1ns)程度のスキューは避けられない。またクロック源がカウンタを含んでいると、クロック源の出力波形は、浮遊容量、プロセス変動、負荷及び入力クロックのデューティサイクルの影響を受ける。従つて、1nsを超えるスキューが生じうるが、これを避けるのは困難である。

発明の簡単な説明

本発明は、クロック信号の遷移のタイミングに変動が

クロックアウト信号には50パーセントのデューティサイクルを設定するものとし、クロックイン信号は50パーセントを超える不適切なデューティサイクルを持ち、その結果クロックアウト信号の平均DC電圧は $V_{DD}/2$ 以上になつてゐるものと仮定する。低速で動作し、クロック周波数の影響を受けないオペアンプすなわち演算増幅器が用いられ、平均出力電圧と基準電圧 $V_{DD}/2$ とを比較する。この基準電圧は50パーセントのデューティサイクルを設定するように選ばれている。デューティサイクルが50パーセント以上であり、また低速のオペアンプが機能するため、出力における立上り時間が増大してクロックアウト信号の前縁が遅延される。この結果、クロックアウト信号は50パーセントのデューティサイクルのクロックパルスになり、オペアンプが高利得である限りこのパルスは維持される。クロックイン信号の遷移に存在するスキューは、出力の遷移でははるかに小さなものとなり、出力の平均電圧の変化も小さくなる。オペアンプは公知の回路素子であり、 V_{DD} とアース電位との間で動作する。オペアンプの正入力が入力よりわずかに大きいと、出力は $+V_{DD}$ となる。逆に少く小さいと、出力はアースレベルになる。 V_{DD} とアース電位との間の遷移範囲内において、この回路は非常に大きな利得を持つ。本発明はこのような公知のオペアンプの負帰還技術を用い、新しいクロックパルス整形回路を実現している。

本発明のより具体的な説明を以下に述べる。

2 特表昭60-500115(2)
あるとそのクロック信号の平均電圧にも変動を生じ、この電圧変動によつて遷移のタイミングを調整できるという事実に基づいている。本クロックパルス整形回路では、入力におけるスキューのあるクロックイン信号が出力の平均電圧を変化させる。この電圧変化を用いて制御電圧を調整し、遷移のタイミングが調整される。

図面の簡単な説明

第1図は本発明に従つたクロックパルス整形回路のブロック図であり、

第2図は第1図の回路のクロック信号出力の電圧対時間を示すグラフであり、

第3、4、5及び6図は実験的なデューティサイクルを持つ異つた入力クロック信号に対する実験のクロック信号出力の電圧対時間を示すグラフであり、

第7、8及び9図は本発明に従つた実用的な回路構成の一部の回路図であり、

第10図は第9図の回路構成の出力のパルスを示す図であり、

第11、12及び13図は第1図及び第9図の回路を用いたシステム構成のブロック図である。

詳細な説明

本発明について、まず一般的に説明する。以下で「クロックイン」信号と呼ぶ入力クロック信号が、インバータ及び可変遅延段の直列構成を含んでいるクロックパルス整形回路の入力に印加される。説明の都合上、出力の

4 第1図はクロックパルス整形回路10を示しており、クロック入力ノード11、及び出力ノード12を含んでおり、ノード11におけるクロック入力信号のスキューを抑制するよう構成されている。

この回路では、2つのp-伝導形チャネルの電界効果トランジスタ(FET)15及び16と、2つのn-伝導形FET17及び18とが、図のように電圧 V_{DD} とアースとの間に直列に接続されている。トランジスタ16及び17のドレイン電極は、2つのインバータ20及び21の直列接続を介してクロック出力ノード12に接続されている。インバータ20及び21は、ノード29における入力電圧がしきい値電圧を超えた時にのみ出力を発生する。トランジスタ16及び17のゲート電極はオペアンプ22の出力に接続されている。オペアンプ22の出力電圧はトランジスタ16及び17の導通性を制御し、これによりトランジスタ15がオンである時にノード29が電位 V_{DD} に向つて駆動され、またトランジスタ18がオンである時にアース電位に向つてノード29が駆動される速度が制御される。このようにトランジスタ15、16及び17、18の各々は可変遅延回路を形成し、その遅延の量(これが、インバータ20及び21によつて出力電圧を発生する時刻を決定する)はオペアンプ22からの出力電圧の関数となる。たとえば、オペアンプ22の出力が正であると、p-チャネルトランジスタ15のゲート上の正のバイアスによつてトラン

ジスタ15の導通性が減少し、トランジスタ15, 16によつて与えられる遅延が増加する。逆に、 n -チャネルトランジスタ17への正のバイアスによつてその導通性が増加し、トランジスタ17, 18によつて与えられる遅延は減少する。オペアンプ22への正入力、0.1メガオームが典型的な値である抵抗23によつてノード12に接続されるとともに、1000ピコファラッドが典型的な値であるコンデンサ24が接続されている。オペアンプ22の負入力は5000オームの可変抵抗25を介してアースに接続されている。トランジスタ15及び18のゲート電極はインバータ26の出力に接続され、このインバータの入力はクロックイン入力ノード11に接続されている。

動作中、ノード12の平均電圧がオペアンプ22によつて基準電圧と比較され、クロックイン信号の遅延タイミングを定めるための制御電圧が作られる。ノード11における入力クロックパルスはインバータ26で反転され、 p -チャネルトランジスタ15をオンにするとともに、 n -チャネルトランジスタ18をオフにする。ここで説明の都合上、オペアンプ22の出力電圧は $1/2 V_{DD}$ であるものと仮定する。オペアンプ22の負入力は $1/2 V_{DD}$ の基準電圧が印加されている。可変抵抗25を調整することにより、50パーセントデューティサイクルの出力が保証される。

ノード11におけるクロックイン信号は、任意のデュー

ティサイクルのものであり、第2図の実線へ曲線30で示されている。曲線30は50パーセント以上のデューティサイクルを持つものと仮定している。よつて、ノード12における平均DC電圧は $1/2 V_{DD}$ 以上となる。オペアンプ22、及び抵抗23及びコンデンサ24は、クロック周波数成分は伝えないが、より低周波の信号を伝えるような特性に選択されている。オペアンプ22の正入力は負入力より大きいため、オペアンプの出力は V_{DD} に近いものになる。この結果、トランジスタ15を V_{DD} に引き上げる動作は遅延され、トランジスタ18をアースレベルに引下げる動作は加速されるが、これらの量は、平均DC電圧と $1/2 V_{DD}$ の基準電圧との差に比例する。クロックアウト信号は第2図の破線曲線31で示されている。この結果、第1図のノード12に現れる曲線31で表わされるようにデューティサイクルが変化する。しかし、波形遅延は、その時刻 t_1 及び t_2 が $t_1 - t_2 = 1/2 \cdot \text{周期}$ を満足するように生じる。

正確には、

$$(t_1 - t_2)_{\text{アット}} - \frac{1}{2} = \left[(t_1 - t_2)_{\text{イン}} - \frac{1}{2} \right] \div A$$

となる。ただし、 A はクロックイン信号の遅延(スキュー)には無関係の増幅器利得である。

RCAのCD4007 CMOS 実験回路とウエスタンエレクトリック(Western Electric)の502Tオペアンプとを用いて実験回路を構成した。第3, 4, 5及び

6図は、この回路を用いた時の、第1図のクロックアウトノード12における電圧対時間曲線を示している。図からわかるように、入力クロック(上部の曲線)のデューティサイクルが10パーセント乃至80パーセントの範囲にある時、出力クロック(下部の曲線)のデューティサイクルは50パーセントに固定されている。

第7図は第1図の方式によつて発生した50パーセントデューティサイクルの1Xクロックから、1Xクロック周波数におけるクロック信号の正確な対を発生するのに用いられる回路要素を示している。クロックイン信号の前縁及び後縁を独立して制御することが可能な方法によつてクロックアウト信号が作られる。第7図は2組のFET102, 103及び104, 及び105, 106及び107を示しており、各組は図のように V_{DD} とアースとの間に電氣的に直列に接続されている。トランジスタ102及び105は p -チャネル電界効果トランジスタであり、残りのものは n -チャネルである。トランジスタ102及び103のゲート電極は入力ノード110に接続され、トランジスタ102及び103のドレイン・ドレイン間接続点はトランジスタ105及び106のゲート電極に接続されている。トランジスタ104及び107のゲート電極は、それぞれ遅延制御信号C1及びC2の信号線に接続されている。出力ノード111はトランジスタ105及び106のドレインに接続されている。この回路は、第8図のプロック120で示されるよ

うな可変遅延回路として動作する。この回路は、独立して用いられても有用なものであるが、第9図に示されている回路の一部として、スキューのないクロックパルスを発生するのに用いられる例が示されている。

第9図の回路は、4つのナンド回路130, 131, 132及び133を含んでいる。ナンド回路130及び133の各々の1つの入力は、インバータ134及び135の直列接続を介して出力111に接続されている。同様に、ナンド回路130及び131の各々の1つの入力は、インバータ137及び138の直列接続を介して入力ノード110に接続されている。ナンド回路132及び133の各々の1つの入力は3つのインバータ140, 141及び142の直列接続を介してノード110に接続されている。ナンド回路131及び132はインバータ150, 152及び155の直列接続を介して出力ノード111に接続されている。第8図に示した形式の回路120が入力ノード110と出力ノード111との間に接続されている。回路120の出力ノード111におけるクロックアウト信号は2つのインバータ160及び161の直列接続を介してインバータ135の入力に印加される。第1及び第2のオペアンプ170及び171の出力は回路120のC1及びC2入力に接続されている。ナンド回路130及び133の出力は、それぞれインバータ180及び181を介してオペアンプ171及び170の負入力に接続されている。同様に、ナンド回

路131及び132の出力はそれぞれインバータ182及び183を介してオペアンプ171及び170の正入力に接続されている。これらのインバータの出力は付随する抵抗及びコンデンサを介してアースに接続されている。

第9図の回路は、第10図に示すような、周知の4相クロツクアウト信号を発生する。インバータ137及び138、又は134及び135、又は160及び161のような直列接続された2つのインバータは、入力パルスを遅延させる働きのみを行う。インバータ140、141及び142、又は150、152及び155のような直列接続された3つのインバータは、対応する2つのインバータ、例えば137及び138、又は134及び135と等しい遅延を与えるように設計されている。しかし、直列接続されたインバータの数の違い(2対3)のために、出力パルスの極性は逆になつていく。よつて、ノード110におけるクロツクインパルスは、遅延されたパルスを導体200に与えるとともに、等しく遅延された逆極性のパルスを導体201に与える。この結果、ナンド回路130及び131の入力に正のパルスが印加され、ナンド回路132及び133の入力に負のパルスが印加される。同様に、出力ノード111におけるクロツクアウト信号波形により、等しく遅延された正及び負のパルスがそれぞれ導体202及び203に印加され、さらにナンド回路130及び133、及びナンド回路

131及び132の入力に印加される。これらのナンド回路の出力信号は付随するインバータの入力に印加され、付随する抵抗-コンデンサ構成によつて必要な基準DC電圧レベルが作られて、対応するオペアンプの入力に印加される。オペアンプ170及び171の出力は、それぞれ制御信号C1及びC2として第7図のトランジスタ104及び107のゲート電極に印加される。

制御信号C1及びC2は、それぞれインバータ182及び180、及びインバータ183及び181の出力信号の平均(DC)電圧の差によつて決定される値を持つ電圧信号である。C2制御信号を発生するオペアンプ170について考える。オペアンプ170への入力信号はナンド回路132及び133から印加される。ナンド回路132への入力信号は、1つは(110から)インバータ140の出力から、他方は(111から)インバータ150の出力から印加される。ナンド回路133への入力信号は、(111から)インバータ134からと、(110から)インバータ140から印加される。

第9図の110におけるクロツクイン信号は、p-チャネルトランジスタ102をオフにし、n-チャネルトランジスタ103をオンにする(第7図参照)。第7図の導体300上の電圧信号の遅延時間は制御信号C1の電圧レベルに依存し、この制御信号はトランジスタ104をいかに速くオンにするかを決定する。この結果、導体300の電圧パルス(従つて第9図のノード111のバ

ルス)の後縁は、制御信号C1の電圧レベルに比例した量だけ遅延される。同様に、第9図の出力ノード111におけるクロツクアウト信号の後縁は、(n-チャネルトランジスタ107(第7図)に印加される制御信号C2の電圧レベルによつて決定される。従つて、第9図の110におけるクロツクイン信号のスキューの量にかかわらず、スキューのないクロツクアウト信号が111に発生する。

ナンド回路130、131、132及び133をノア回路で置き換え、インバータ140及び250を除去することもできる。

第11、12及び13図は、第1、7及び9図のクロツクパルス整形回路の種々の回路構成法を示している。これらの構成は第1図の回路に基づいて示されている。第11図は、第1図の回路の入力11及び出力12に対応するクロツクイン入力411及びクロツクアウト出力412を持つクロツクチップ400を示している。スキューのない出力が導体415及び416を介して、例えばマイクロプロセッサの機能素子に印加される。機能素子はブロック417及び418で示されている。

第12図は、ブロック500で示されるスキューのあるクロツク源からのパルスが、例えば中央処理装置(CPU)ブロック512のクロツクイン入力511へ印加される構成を示している。CPUチップは、3つのインバータ520、527及び528と可変遅延段529

を含む多段遅延回路を含んでいる。これらの素子は、それぞれ第1図の素子26、20、21及び可変遅延段に対応している。オペアンプは別の“ヘルパ”チップ530に含まれている。チップ530は、第1図の素子23及び24に対応する電圧平均用抵抗及びコンデンサも含んでいる(図示していない)。クロツクアウト信号は532に得られ、チップ512及び他のチップに印加される。可変遅延段に対する制御信号は導体533に印加される。

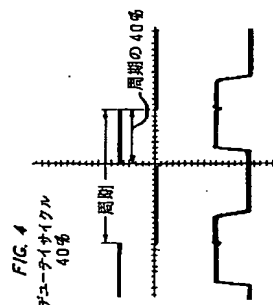
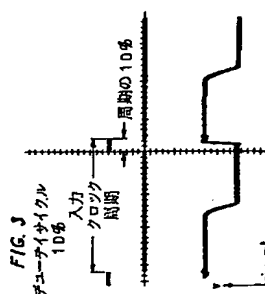
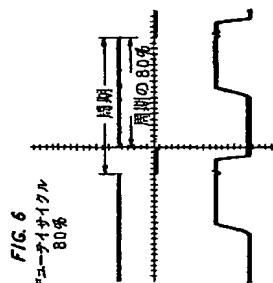
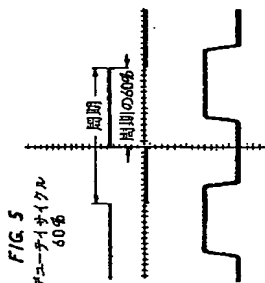
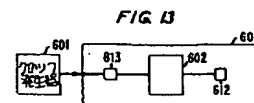
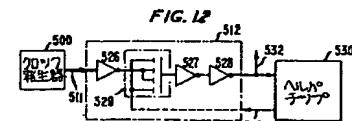
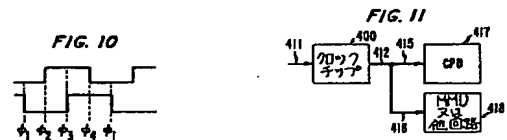
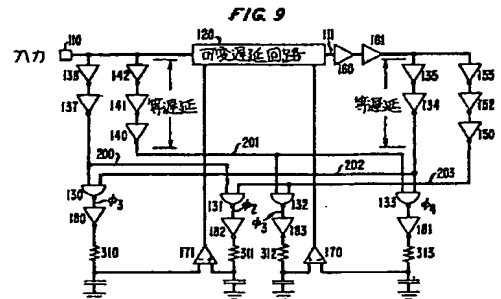
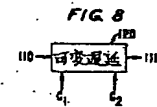
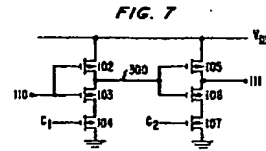
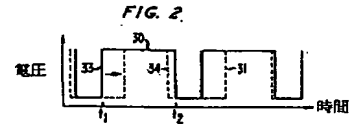
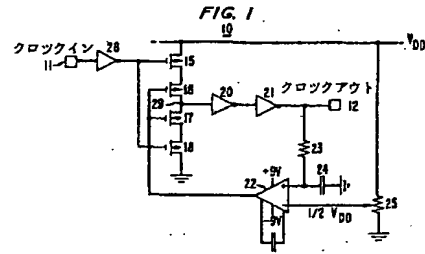
第13図はクロツクパルス整形回路全体(第1図又は第9図の回路)がCPUチップ600に含まれている構成を示している。この実施例では、チップ外のクロツク発生器601が、チップ600内のブロック602で受けられるクロツク整形回路にパルスを印加し、スキューのないパルスがクロツクアウト出力612に発生する。クロツクイン入力はブロック613で示されている。

オペアンプは高利得特性を持つことが重要である。すなわち、正確なフィードバック応答を得るためには、オペアンプの出力において一方の電圧出力レベルから他方のレベルへの遷移が小さな入力電圧幅 $V_{+}-V_{-}$ 内で生じる必要がある。

さらに、オペアンプの出力電圧レベルは、 V_{DD} からp-チャネルトランジスタのしきい値電圧及びn-チャネルトランジスタのしきい値電圧を減算した値よりも範囲が大きくなければならない。このような状態において、可変遅延段は信号に対して有効に制御を行うことができ

る。

スキューは、第9図のインバータ161の出力におけるクロックアウト信号の平均電圧にしか変化を与えないため、電圧分割回路のような標準技術を用いれば、161におけるクロックアウト信号の遅移を予め定めた時間にセットできることは明らかである。さらに、本発明では、等間隔のクロック端(遅移)を達成するよう50パーセントのデューティサイクルを与える基準電圧を設定するものとして説明した。しかし50パーセント以外のデューティサイクルを与えるよう基準電圧を調整又はセットして、クロックアウト信号の遅移を任意の位置に定めることもできる。当業者には公知のように、デューティサイクルを変えることによつてチップ性能の高速化が可能である。



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.